

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-266003

(43)Date of publication of application : 28.09.1999

(51)Int.Cl.

H01L 27/148

H01L 29/762

H01L 21/339

H04N 5/335

(21)Application number : 10-066826

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 17.03.1998

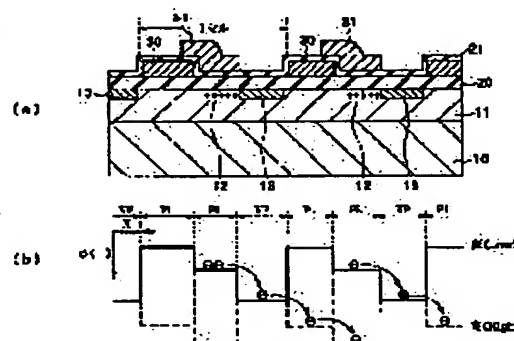
(72)Inventor : KOMORI HIROBUMI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device having high sensitivity charge coupling element, capable of adequately securing a signal charge capacity also increasing the cell size of a solid-state image-pickup element which causes no back flow in transferring the signal charge, and its manufacture.

**SOLUTION:** A semiconductor device is constituted of a semiconductor layer 11 containing a first conductivity-type conductive impurities, a gate insulating film 20 formed on the upper layer of the semiconductor layer 11, a first gate electrode 30 formed on the upper layer of the gate insulating film 20, a second gate electrode 31 formed on the upper layer of the gate insulating film 20 in an adjacent part which is insulated from the first gate electrode 30, as well as an inversion layer 13 containing a second conductivity-type impurities formed in the semiconductor layer 11 in the side region of the second gate electrode 31, at a position facing opposite the first electrode 30.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-266003

(43) 公開日 平成11年(1999) 9月28日

(51) IntCl.<sup>6</sup> 識別記号

H01L 27/148  
29/762  
21/339  
H04N 5/335

F I

H01L 27/14 B  
H04N 5/335 U  
H01L 29/76 301A

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願平10-66826

(22) 出願日 平成10年(1998) 3月17日

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社  
東京都新宿区西新宿 6丁目24番1号 西新  
宿三井ビル

(72) 発明者 小森 寛文

東京都港区芝浦 4丁目13番23号 日本テキ  
サス・インスツルメンツ株式会社内

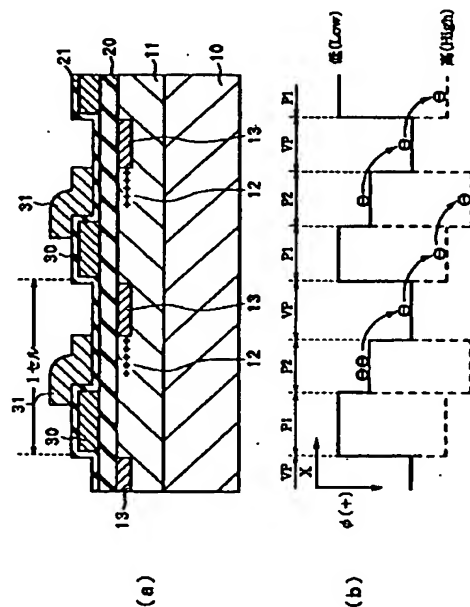
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 固体撮像素子のセルサイズの縮小が可能で、信号電荷の転送の際に逆流がなく、信号電荷の容量を十分確保でき、感度が高い電荷結合素子を有する半導体装置およびその製造方法を提供する。

【解決手段】 第1導電型の導電性不純物を含有する半導体層11と、半導体層11の上層に形成されたゲート絶縁膜20と、ゲート絶縁膜20の上層に形成された第1ゲート電極30と、第1ゲート電極30と絶縁して隣接部のゲート絶縁膜20の上層に形成された第2ゲート電極31と、第1ゲート電極30と対向する位置の第2ゲート電極31の側部領域の半導体層11中に形成された第2導電型の導電性不純物を含有する反転層13とを有する構成とする。



## 【特許請求の範囲】

【請求項1】半導体基板上に形成された第1導電型の導電性不純物を含有する半導体層と、

前記半導体層の上層に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の上層に形成された第1ゲート電極と、

前記第1ゲート電極と絶縁して隣接部の前記ゲート絶縁膜の上層に形成された第2ゲート電極と、

前記第1ゲート電極と対向する位置の前記第2ゲート電極の側部領域の前記半導体層中に形成された第2導電型の導電性不純物を含有する反転層とを有する半導体装置。

【請求項2】前記第1ゲート電極の下層の前記ゲート絶縁膜の膜厚と、前記第2ゲート電極の下層の前記ゲート絶縁膜の膜厚とが異なる請求項1記載の半導体装置。

【請求項3】前記第1ゲート電極の下層の前記ゲート絶縁膜の膜厚が、前記第2ゲート電極の下層の前記ゲート絶縁膜の膜厚よりも厚く形成されている請求項2記載の半導体装置。

【請求項4】前記第2ゲート電極の下層の前記半導体層中に、前記第1導電型の導電性不純物を前記半導体層よりも高濃度に含有する領域が形成されている請求項1〜3のいずれかに記載の半導体装置。

【請求項5】半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を通しイオン注入により第1導電型の不純物を含有する半導体層を形成する工程と、

前記ゲート絶縁膜の上層に第1ゲート電極を形成する工程と、

前記第1ゲート電極を被覆する層間絶縁膜を形成する工程と、

前記第1ゲート電極の隣接部の前記ゲート絶縁膜の上層に第2ゲート電極を形成する工程と、

前記第1ゲート電極および前記第2ゲート電極をマスクとして第2導電型の導電性不純物を導入し、前記第1ゲート電極と対向する位置の前記第2ゲート電極の側部領域の前記半導体層中に反転層を形成する工程とを有する半導体装置の製造方法。

【請求項6】前記第1ゲート電極を形成する工程の後、前記第2ゲート電極を形成する工程の前に、前記第1ゲートを除く領域の前記ゲート絶縁膜を薄膜化する工程をさらに有する請求項5記載の半導体装置の製造方法。

【請求項7】前記第1ゲート電極を形成する工程の後、前記第2ゲート電極を形成する工程の前に、前記第1ゲート電極をマスクとして前記第1導電型の導電性不純物を導入して前記第1ゲート電極を除く領域の前記半導体層中に前記第1導電型の導電性不純物を前記半導体層よりも高濃度に含有する領域を形成する工程をさらに有する請求項5あるいは6に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特に電荷結合素子を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】電荷結合素子（Charge Coupled device；以下CCDとする）には、一般にインターライン方式やフレームトランスファー方式等がある。フレームトランスファー方式では、例えばp型シリコン基板表面部に複数のピクセルと呼ばれる受光エレメントが形成され、受光部と転送（蓄積）部に区分される。各部に設けられたピクセルにはゲート絶縁膜を介してゲート電極が形成されており、そのゲート電極に正電位を印加することにより、表面部位にポテンシャル井戸が形成され、受光部のピクセルに光が一定時間照射されると、光量に比例した信号電荷がポテンシャル井戸に集積される。複数の並んだピクセルのゲート電極に例えば異なる2つのタイミングを持ったクロック電圧パルスを印加すると、ポテンシャル井戸の障壁が順次開閉されて信号電荷が受光部から転送部へ順次に転送される。更に転送された信号電荷はレジスター部において上記クロックとは異なるタイミングを持ったクロックによって出力され、出力アンプ等を経てビデオ信号として出力することができる。このようにCCDは光信号を信号電荷に変換することができ、現在広く工業用、民生用撮像機器に使用されている。

【0003】上記のCCDについて、信号電荷を転送するクロックの相数によって2、3、4相駆動型等様々な構造を有するものが開発されている。例えば、仮想ゲート（virtual phase）構造を持った埋め込みチャネル型の単相駆動型CCDを有する半導体装置の断面図について、図9（a）に示す。p型シリコン半導体基板10上に、n型の導電性不純物を含有するシリコン層からなるチャネル形成領域11が形成されており、その上層に例えば酸化シリコンのゲート絶縁膜20が形成されており、その上層に例えばポリシリコンからなるゲート電極32が形成されている。各ゲート電極32の間隙部のチャネル形成領域11中にはp型の導電性不純物を含有する反転層13が形成されており、仮想ゲート領域となる。一つのゲート電極32と一つの仮想ゲートとから、一つのCCDセル（ピクセルともいう）を構成している。

【0004】ゲート電極32の下層のチャネル形成領域11中の一部には、チャネル形成領域11よりも高濃度のn型の導電性不純物を含有する領域14が形成されており、PW部を形成している。PW部を除く領域のゲート電極32の下層の領域がPB部となる。また、各仮想ゲート領域において形成された反転層13は基板電位に固定されている。反転層13の下層の一部には、チャネル形成領域11よりも高濃度のn型の導電性不純物を含

有する領域15が形成されており、VW部を形成している。VW部を除く領域の反転層13の下層の領域がVB部となる。

【0005】上記のように、PB部、PW部、VB部、およびVW部の4相から一つのCCDセルが形成されている。これらの4相の信号電荷転送方向の長さは、例えばそれぞれ1.4 $\mu$ m、2.1 $\mu$ m、1.4 $\mu$ m、および2.1 $\mu$ mであり、合計で1セルの幅が7.0 $\mu$ mとなる。

【0006】上記のPB部、PW部、VB部、およびVW部の4相のポテンシャルについて、図9(b)に示す。各セルのゲート電極32は共通の電圧パルス（高（High）と低（Low））が与えられ、一方で仮想ゲート領域においては反転層13により隣接するゲート電極の影響を受けず、一定電位となる。つまり、仮想ゲート領域は電極が無くとも一定電位の電極があるのと同様の動作をする。これにより、単相駆動型のCCDを有する半導体装置となっている。信号電荷は、ゲート電極32が高（High）から低（Low）へ変わったときにPW部からVW部へ、低（Low）から高（High）へ変わったときにVW部からPW部へ転送される。このとき、転送動作を円滑に行うため、PB部およびVB部は信号電荷の逆流を防ぐためのバリアとして働き、PW部およびVW部は信号電荷を蓄えるためのウェルとして働く。

【0007】上記の仮想ゲート構造を持った埋め込みチャンネル型の単相駆動型CCDを有する半導体装置は、仮想ゲート領域においてポリシリコンのゲート電極を有していない構造であることから、光信号を電子信号に変換する効率が高く、固体撮像素子としての感度が高いという利点がある。

【0008】

【発明が解決しようとする課題】しかしながら、半導体装置の小型化や、コスト削減の観点から上記の仮想ゲート構造を持ったCCDを有する半導体装置において、画角の縮小、すなわちセルサイズの縮小が求められている。セルサイズを縮小するためには、上記のPB部、PW部、VB部、およびVW部の4相のそれぞれの長さを短くしなければならない。しかし、逆流を防ぐためのバリアであるPB部およびVB部は、ポテンシャルの2次元的変調を抑えるためにある程度の長さを確保しなければならない。このために信号電荷を蓄えるためのPW部およびVW部の長さをさらに短くしなければならない。これにより、信号電荷を蓄えるウェルの容量を十分確保することが難しくなるという問題がある。

【0009】さらに、図9(a)に示すように、PB部とPW部の境界、およびVB部とVW部の境界について、図中に+で示した部分に選択的にイオン注入を行うことによりその境界を形成していることから、この境界部の位置、つまりバリア部であるPB部とVB部の長さ

は、イオン注入レベルのマスク・アライメント精度と、レジスト・パターニング精度によって決まる。量産時に、この工程上のばらつきをある程度以下に抑制しなければならないことも、PB部およびVB部の長さをセルサイズの縮小に合わせて短くできない要因となっている。

【0010】本発明は上記の問題点に鑑みてなされたものであり、従って、本発明は、セルサイズの縮小が可能であり、また、セルサイズを縮小しても信号電荷の転送の際に逆流などの問題の生じない、信号電荷を蓄えるウェルの容量を十分確保でき、光信号を電子信号に変換する効率が高く、固体撮像素子としての感度が高い電荷結合素子（CCD）を有する半導体装置およびその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置は、半導体基板上に形成された第1導電型の導電性不純物を含有する半導体層と、前記半導体層の上層に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上層に形成された第1ゲート電極と、前記第1ゲート電極と絶縁して隣接部の前記ゲート絶縁膜の上層に形成された第2ゲート電極と、前記第1ゲート電極と対向する位置の前記第2ゲート電極の側部領域の前記半導体層中に形成された第2導電型の導電性不純物を含有する反転層とを有する。

【0012】上記の本発明の半導体装置は、第1ゲート電極と、その隣接部の形成された第2ゲート電極と、第1ゲート電極と対向する位置の第2ゲート電極の側部領域の仮想ゲートとにより一つのセルが形成される、電荷結合素子である。仮想ゲート領域は第2導電型の導電性不純物を含有する反転層により隣接する第1ゲート電極および第2ゲート電極の影響を受けず、一定電位となり、一方、第1ゲート電極および第2ゲート電極にそれぞれ別の電圧パルスを与えることで電荷を転送することができる、仮想ゲート構造を持った埋め込みチャンネル型の2相駆動型CCDを有する半導体装置となる。

【0013】上記の本発明の半導体装置によれば、仮想ゲート構造であることから、光信号を電子信号に変換する効率が高く、固体撮像素子としての感度が高い。また、電荷転送の際の逆流を防ぐためのバリアとなる領域を有していないのでセルの縮小化が可能であり、第1ゲート電極と第2ゲート電極に与えるパルスのタイミングを制御することで逆流を防ぐことができる。また、バリアとなる領域を有さないことから、チャンネルとなる半導体層の全面がウェルとして働き、信号電荷を蓄えるウェルの容量を十分確保できる。また、仮想ゲート領域となる反転層は第1ゲート電極および第2ゲート電極をマスクとしたイオン注入などにより自己整合的に形成することができ、マスクの合わせずれのための余裕が不要で、セルサイズの縮小化が容易にできる。

【0014】上記の本発明の半導体装置は、好適には、前記第1ゲート電極の下層の前記ゲート絶縁膜の膜厚と、前記第2ゲート電極の下層の前記ゲート絶縁膜の膜厚とが異なり、さらに好適には、前記第1ゲート電極の下層の前記ゲート絶縁膜の膜厚が、前記第2ゲート電極の下層の前記ゲート絶縁膜の膜厚よりも厚く形成されている。これにより、第1ゲート電極と第2ゲート電極に与えるパルス電圧の電位を同一に設定しても、第1ゲート電極と第2ゲート電極により形成されるポテンシャルの深さを異ならせられ、特に第1ゲート電極により形成されるポテンシャルの深さよりも第2ゲート電極により形成されるポテンシャルの深さを深くすることができ、電荷の転送をより滑らかにすることができる。

【0015】上記の本発明の半導体装置は、好適には、前記第2ゲート電極の下層の前記半導体層中に、前記第1導電型の導電性不純物を前記半導体層よりも高濃度に含有する領域が形成されている。これにより、第1ゲート電極と第2ゲート電極に与えるパルス電圧の電位を同一に設定しても、第1ゲート電極により形成されるポテンシャルの深さよりも第2ゲート電極により形成されるポテンシャルの深さを深くすることができ、電荷の転送をより滑らかにすることができる。

【0016】また、上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を通しイオン注入により第1導電型の不純物を導入する半導体層を形成する工程と、前記ゲート絶縁膜の上層に第1ゲート電極を形成する工程と、前記第1ゲート電極を被覆する層間絶縁膜を形成する工程と、前記第1ゲート電極の隣接部の前記ゲート絶縁膜の上層に第2ゲート電極を形成する工程と、前記第1ゲート電極および前記第2ゲート電極をマスクとして第2導電型の導電性不純物を導入し、前記第1ゲート電極と対向する位置の前記第2ゲート電極の側部領域の前記半導体層中に反転層を形成する工程とを有する。

【0017】上記の本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成し、ゲート絶縁膜を通しイオン注入により第1導電型の不純物を導入する半導体層を形成して、チャンネル形成領域とする。次に、ゲート絶縁膜の上層に第1ゲート電極を形成し、第1ゲート電極を被覆する層間絶縁膜を形成し、第1ゲート電極の隣接部のゲート絶縁膜の上層に第2ゲート電極を形成する。次に、第1ゲート電極および第2ゲート電極をマスクとして第2導電型の導電性不純物を導入し、第1ゲート電極と対向する位置の第2ゲート電極の側部領域の前記半導体層中に反転層を形成し、仮想ゲート領域とする。

【0018】上記の本発明の半導体装置の製造方法によれば、第1ゲート電極と、その隣接部の形成された第2ゲート電極と、第1ゲート電極と対向する位置の第2ゲ

ート電極の側部領域の仮想ゲートとにより一つのセルが形成される。電荷結合素子を形成することができる。仮想ゲート構造であることから、光信号を電子信号に変換する効率が高く、固体撮像素子としての感度が高く、また、電荷転送の際の逆流を防ぐためのバリアとなる領域を有していないのでセルの縮小化が可能であり、第1ゲート電極と第2ゲート電極に与えるパルスのタイミングを制御することで逆流を防ぐことができ、また、バリアとなる領域を有さないことから、チャンネルとなる半導体層の全面がウェルとして働き、信号電荷を蓄えるウェルの容量を十分確保でき、仮想ゲート領域となる反転層は第1ゲート電極および第2ゲート電極をマスクとしたイオン注入などにより自己整合的に形成することができるのでマスクの合わせずれのための余裕が不要であり、セルサイズの縮小化が容易にできる。仮想ゲート構造を持った埋め込みチャンネル型の2相駆動型CCDを有する半導体装置を製造することができる。

【0019】上記の本発明の半導体装置の製造方法は、好適には、前記第1ゲート電極を形成する工程の後、前記第2ゲート電極を形成する工程の前に、前記第1ゲートを除く領域の前記ゲート絶縁膜を薄膜化する工程をさらに有する。これにより、第1ゲート電極の下層のゲート絶縁膜の膜厚が、第2ゲート電極の下層の前記ゲート絶縁膜の膜厚よりも厚くすることができ、第1ゲート電極と第2ゲート電極に与えるパルス電圧の電位を同一に設定しても、第1ゲート電極により形成されるポテンシャルの深さよりも第2ゲート電極により形成されるポテンシャルの深さを深くすることができ、電荷の転送をより滑らかにすることができる半導体装置を製造することができる。

【0020】上記の本発明の半導体装置の製造方法は、好適には、前記第1ゲート電極を形成する工程の後、前記第2ゲート電極を形成する工程の前に、前記第1ゲート電極をマスクとして前記第1導電型の導電性不純物を導入して前記第1ゲート電極を除く領域の前記半導体層中に前記第1導電型の導電性不純物を前記半導体層よりも高濃度に含有する領域を形成する工程をさらに有する。これにより、第2ゲート電極の下層の半導体層中に、第1導電型の導電性不純物を前記半導体層よりも高濃度に含有する領域を形成することができ、第1ゲート電極と第2ゲート電極に与えるパルス電圧の電位を同一に設定しても、第1ゲート電極により形成されるポテンシャルの深さよりも第2ゲート電極により形成されるポテンシャルの深さを深くすることができ、電荷の転送をより滑らかにすることができる半導体装置を製造することができる。

【0021】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照して説明する。

【0022】第1実施形態

図1(a)は、本実施形態の半導体装置の断面図である。p型シリコン半導体基板10上に、n型の導電性不純物を含有するシリコン層からなるチャネル形成領域11が形成されており、その上層に例えば酸化シリコンのゲート絶縁膜20が形成されており、その上層に例えばポリシリコンからなる第1ゲート電極30が形成されている。第1ゲート電極30を被覆して例えば酸化シリコンの層間絶縁膜21が形成されている。その上層の第1ゲート電極30の隣接部に例えばポリシリコンからなる第2ゲート電極31が形成されている。第1ゲート電極30と対向する位置の第2ゲート電極31の側部のチャネル形成領域11中に、p型の導電性不純物を含有する反転層13が形成されており、仮想ゲート領域となる。第2ゲート電極の下層のチャネル形成領域11中には、チャネル形成領域11よりも高濃度のn型の導電性不純物を含有する領域12(図中+で示す)が形成されている。以上のように、第1ゲート電極31、第2ゲート電極31および仮想ゲートとから、一つのCCDセルを構成している。

【0023】第1ゲート電極30の下層のチャネル形成領域11がP1部となり、第2ゲート電極31の下層のチャネル形成領域11のチャネル形成領域11よりも高濃度のn型の導電性不純物を含有する領域12がP2部となる。また、各仮想ゲート領域において形成された反転層13は基板電位に固定されており、この領域がVP部となる。

【0024】上記のように、P1部、P2部、およびVP部の3相から一つのCCDセルが形成されている。これらの3相の信号電荷転送方向の長さは、従来のCCDセルのようなバリアとなる領域を有していないことから、例えばそれぞれ1.4~2.1μm程度として、3相の合計で1セルの幅を5.0μm程度に縮小化することができる。

【0025】上記のP1部、P2部、およびVP部の3相のポテンシャルについて、図1(b)に示す。各セルの第1ゲート電極30および第2ゲート電極31にはそれぞれ図2に示すようなクロック制御をされた電圧パルス(高(High)と低(Low))が与えられる。一方で、仮想ゲート領域においては反転層13により隣接するゲート電極の影響を受けず、一定電位となる。つまり、仮想ゲート領域は電極が無くとも一定電位の電極があるのと同様の動作をする。第1ゲート電極30および第2ゲート電極31がともに高(High)のときに、信号電荷はP2部に蓄えられる。次に、第1ゲート電極30を高(High)から低(Low)へ変えた後で、第2ゲート電極を高(High)から低(Low)へ変える。このとき、P2部に蓄えられた信号電荷はVP部に転送される。先に第1ゲート電極30を高(High)から低(Low)へ変えるのは、信号電荷の逆流を防ぐためのバリアとして働かせるためである。次に、第

1ゲート電極を低(Low)から高(High)へ変える。このとき、信号電荷はVP部からP1部に転送される。次に、第2ゲート電極31を低(Low)から高(High)へ変える。このとき、信号電荷はP1部からP2部に転送される。以上のようにクロック制御したパルス電圧を第1ゲート電極30および第2ゲート電極31に印加することで、信号電荷を逆流することなく、転送することができる。このとき、P1部、P2部およびVP部はそれぞれ信号電荷を蓄えるためのウェルとして働き、信号電荷を蓄えるウェルの容量を十分確保できる。

【0026】上記の本実施形態の半導体装置は、仮想ゲート構造であることから、光信号を電子信号に変換する効率が高く、固体撮像素子としての感度が高い。また、仮想ゲート領域となる反転層は第1ゲート電極および第2ゲート電極をマスクとしたイオン注入などにより自己整合的に形成することができ、マスクの合わせずれのための余裕が不要で、セルサイズの縮小化が容易にできる。また、第2ゲート電極の下層のチャネル形成領域11中に、チャネル形成領域11よりも高濃度のn型の導電性不純物を含有する領域12(図中+で示す)が形成されていることから、第1ゲート電極と第2ゲート電極に与えるパルス電圧の電位を同一に設定しても、P1部のポテンシャルの深さよりもP2部のポテンシャルの深さを深くすることができ、第2ゲート電極31を低(Low)から高(High)へ変えると信号電荷は逆流することなく速やかにP1部からP2部に転送され、電荷の転送をより滑らかにすることができる。

【0027】上記の本実施形態の半導体装置の製造方法について、図面を参照して説明する。まず、図3(a)に示すように、p型のシリコン半導体基板10上に、例えば熱酸化法あるいはCVD(Chemical Vapor Deposition)法などにより、例えば700Åの膜厚の酸化シリコン層を形成し、ゲート絶縁膜20を形成する。次に、例えばリンなどのn型の導電性不純物D1を全面にイオン注入して、n型のチャネル形成領域11を形成する。【0028】次に、図3(b)に示すように、例えばCVD法によりゲート絶縁膜20の上層にポリシリコンを堆積させ、フォトリソグラフィ工程によりパターニングして、第1ゲート電極30を形成する。

【0029】次に、図3(c)に示すように、第1ゲート電極30をマスクとして例えばリンなどのn型の導電性不純物D2をイオン注入して、チャネル形成領域11よりも高濃度のn型の導電性不純物を含有する領域12(図中+で示す)を形成する。

【0030】次に、図4(d)に示すように、例えば熱酸化法あるいはCVD法などにより第1ゲート電極30を被覆して500~1000Åの膜厚の酸化シリコン層を形成し、層間絶縁膜21を形成する。このとき、熱酸化法によれば、酸化シリコンであるゲート絶縁膜20の

上層部分においては酸化シリコンの成長速度が遅いことから、第1ゲート電極30を被覆する部分の層間絶縁膜21よりも薄く形成することができる。次に、例えばCVD法により層間絶縁膜21の上層にポリシリコンを堆積させ、フォトリソグラフィ工程によりパターンニングして、第2ゲート電極31を形成する。

【0031】次に、図4(e)に示すように、第1ゲート電極30および第2ゲート電極31をマスクとして例えばホウ素などのp型の導電性不純物D3をイオン注入して、第1ゲート電極30と対向する位置の第2ゲート電極31の側部のチャネル形成領域11中に、p型の導電性不純物を含有する反転層13を形成する。以上で、図1(a)に示す半導体装置を形成することができる。

【0032】上記の本実施形態の半導体装置の製造方法によれば、第1ゲート電極30と、その隣接部の形成された第2ゲート電極31と、第1ゲート電極30と対向する位置の第2ゲート電極31の側部領域の仮想ゲートとにより一つのセルが形成される、電荷結合素子を形成することができる。仮想ゲート構造であることから、光信号を電子信号に変換する効率が高く、固体撮像素子としての感度が高く、また、電荷転送の際の逆流を防ぐためのバリアとなる領域を有していないのでセルの縮小化が可能であり、第1ゲート電極30と第2ゲート電極31に与えるパルスのタイミングを制御することで逆流を防ぐことができ、また、バリアとなる領域を有さないことから、チャネル形成領域11の全面がウェルとして働き、信号電荷を蓄えるウェルの容量を十分確保でき、また、仮想ゲート領域となる反転層13は第1ゲート電極30および第2ゲート電極31をマスクとしたイオン注入などにより自己整合的に形成することができるのでマスクの合わせずれのための余裕が不要で、セルサイズの縮小化が容易にできる、仮想ゲート構造を持った埋め込みチャネル型の2相駆動型CCDを有する半導体装置を製造することができる。

【0033】また、上記の本実施形態の半導体装置の製造方法においては、第1ゲート電極30をマスクとしてn型の導電性不純物を導入して第1ゲート電極30を除く領域のチャネル形成領域11中にn型の導電性不純物をチャネル形成領域11よりも高濃度に含有する領域12(図中+で示す)を形成することから、第1ゲート電極30と第2ゲート電極31に与えるパルス電圧の電位を同一に設定しても、第1ゲート電極30により形成されるポテンシャルの深さよりも第2ゲート電極31により形成されるポテンシャルの深さを深くすることができ、電荷の転送をより滑らかにすることができる半導体装置を製造することができる。

#### 【0034】第2実施形態

図5(a)は本実施形態の半導体装置の断面図である。第2ゲート電極31の下層のチャネル形成領域11中に、チャネル形成領域11よりも高濃度のn型の導電性

不純物を含有する領域が形成されていないことを除いて、それ以外は実質的に第1実施形態の半導体装置と同様であり、P1部、P2部、およびVP部の3相から一つのCCDセルが形成されている。これらの3相の信号電荷転送方向の長さは、従来のCCDセルのようなバリアとなる領域を有していないことから、例えばそれぞれ1.4~2.1 $\mu\text{m}$ 程度として、3相の合計で1セルの幅を5.0 $\mu\text{m}$ 程度に縮小化することができる。

【0035】上記のP1部、P2部、およびVP部の3相のポテンシャルについて、図5(b)に示す。各セルの第1ゲート電極30および第2ゲート電極31にはそれぞれ図6に示すようなクロック制御をされた電圧パルス(高(High)と低(Low))が与えられる。第1実施形態と異なり、チャネル形成領域11よりも高濃度のn型の導電性不純物を含有する領域が形成されていないことから、P1部とP2部の高(High)のときのポテンシャルの差を発生させるために、高(High)のときに、第2ゲート電極31には第1ゲート電極30よりも高電圧を印加する。低(Low)のときは第1ゲート電極30と第2ゲート電極31は同じ電圧であることから、低(Low)のときのポテンシャルの高さはP1部とP2部で同じとなっている。上記のポテンシャルを有する本実施形態の半導体装置においても、第1実施形態と同様のクロック制御により信号電荷を逆流することなく転送することができる。また、P1部、P2部およびVP部はそれぞれ信号電荷を蓄えるためのウェルとして働き、信号電荷を蓄えるウェルの容量を十分確保できる。また、仮想ゲート構造であることから、光信号を電子信号に変換する効率が高く、固体撮像素子としての感度が高い。また、仮想ゲート領域となる反転層13は第1ゲート電極30および第2ゲート電極31をマスクとしたイオン注入などにより自己整合的に形成することができ、マスク合わせずれのための余裕が不要で、セルサイズの縮小が容易にできる。

【0036】上記の本実施形態の半導体装置は、チャネル形成領域11よりも高濃度のn型の導電性不純物を含有する領域を形成しないことにより、それ以外は第1実施形態の半導体装置の製造方法と同等にして形成することができる。

#### 【0037】第3実施形態

図7(a)は本実施形態の半導体装置の断面図である。第1ゲート電極30の下層のゲート絶縁膜20が例えば1200Åで形成されており、例えば700Åの膜厚の第2ゲート電極31および仮想ゲート領域のゲート絶縁膜20に対してゲート絶縁膜の厚膜部20'が形成されており、膜厚が厚くなっていることを除いて、それ以外は実質的に第2実施形態の半導体装置と同様であり、P1部、P2部、およびVP部の3相から一つのCCDセルが形成されている。これらの3相の信号電荷転送方向の長さは、従来のCCDセルのようなバリアとなる領域



を有していないことから、例えばそれぞれ1.4~2.1 $\mu$ m程度として、3相の合計で1セルの幅を5.0 $\mu$ m程度に縮小化することができる。

【0038】上記のP1部、P2部、およびVP部の3相のポテンシャルについて、図7(b)に示す。第1ゲート電極30の下層のゲート絶縁膜20が厚膜部20'を有して、第2ゲート電極31および仮想ゲート領域のゲート絶縁膜20よりも膜厚が厚くなっていることから、高(High)のときの第1ゲート電極30と第2ゲート電極31に与えるパルス電圧の電位を同一に設定しても、P1部ポテンシャルの深さよりもP2部のポテンシャルの深さを深くすることができ、電荷の転送をより滑らかにすることができる。低(Low)のときは第1ゲート電極30と第2ゲート電極31は同じ電圧であることから、低(Low)のときのポテンシャルの高さはP1部とP2部で同じとなっている。上記のポテンシャルを有する本実施形態の半導体装置においても、第2実施形態と同様のクロック制御により信号電荷を逆流することなく転送することができる。また、P1部、P2部およびVP部はそれぞれ信号電荷を蓄えるためのウェルとして働き、信号電荷を蓄えるウェルの容量を十分確保できる。また、仮想ゲート構造であることから、光信号を電子信号に変換する効率が高く、固体撮像素子としての感度が高い。また、仮想ゲート領域となる反転層13は第1ゲート電極30および第2ゲート電極31をマスクとしたイオン注入などにより自己整合的に形成することができ、マスクの合わせずれのための余裕が不要で、セルサイズの縮小化が容易にできる。

【0039】上記の本実施形態の半導体装置は、例えばゲート絶縁膜20の膜厚を1200Åの膜厚で形成し、第1ゲート電極30を形成した後第1ゲート電極30を除く領域のゲート絶縁膜20を例えばRIE(反応性イオンエッチング)などにより500Åエッチングして700Åの膜厚に薄膜化することにより、それ以外は第2実施形態の半導体装置の製造方法と同等にして形成することができる。

#### 【0040】第4実施形態

図8(a)は本実施形態の半導体装置の断面図である。ゲート絶縁膜20の上層に第2ゲート電極31が形成されており、その上層に層間絶縁膜21が形成されており、その上層の第2ゲート電極31の隣接部に第1ゲート電極が形成されていることを除いて、それ以外は実質的に第1実施形態の半導体装置と同様である。

【0041】上記の本実施形態の半導体装置は、例えばゲート絶縁膜20を形成した後先に第2ゲート電極31を形成し、次に層間絶縁膜21を形成し、次に、第1ゲート電極30を形成することなどや、その他イオン注入工程の順序を変更することなどにより、それ以外は第1実施形態の半導体装置の製造方法と同等にして形成することができる。

【0042】本発明は、上記の実施形態に限定されない。例えば、第1ゲート電極、第2ゲート電極は単層構成としているが、2層以上の構成としてもよい。また、ゲート電極やその他の部材を構成する材料は上記の実施形態に記載したもの以外のものも使用できる。その他、本発明の要旨を逸脱しない範囲で、種々の変更を行うことができる。

#### 【0043】

【発明の効果】本発明の半導体装置によれば、セルサイズの縮小が可能であり、また、セルサイズを縮小しても信号電荷の転送の際に逆流などの問題の生じない、信号電荷を蓄えるウェルの容量を十分確保でき、光信号を電子信号に変換する効率が高く、固体撮像素子としての感度が高い電荷結合素子(CCD)を有する半導体装置を提供できる。

【0044】また、本発明の半導体装置の製造方法によれば、上記の本発明の半導体装置を容易に製造可能であり、セルサイズの縮小が可能であり、また、セルサイズを縮小しても信号電荷の転送の際に逆流などの問題の生じない、信号電荷を蓄えるウェルの容量を十分確保でき、光信号を電子信号に変換する効率が高く、固体撮像素子としての感度が高い電荷結合素子(CCD)を有する半導体装置を製造することができる。

#### 【図面の簡単な説明】

【図1】図1(a)は本発明の第1実施形態にかかる半導体装置の断面図であり、図1(b)は図1(a)に示す装置のポテンシャルを示す模式図である。

【図2】図2は図1に示す半導体装置の電荷転送を行うためのクロック制御を示すタイミングチャート図である。

【図3】図3は図1(a)に示す半導体装置の製造方法の製造工程を示す断面図であり、(a)はチャネル形成領域を形成するためのイオン注入工程まで、(b)は第1ゲート電極の形成工程まで、(c)はn型の導電性不純物をチャネル形成領域よりも高濃度に含有する領域を形成するためのイオン注入工程までを示す。

【図4】図4は図3の続きの工程を示し、(d)は第2ゲート電極の形成工程まで、(e)は反転層の形成工程までを示す。

【図5】図5(a)は本発明の第2実施形態にかかる半導体装置の断面図であり、図5(b)は図5(a)に示す装置のポテンシャルを示す模式図である。

【図6】図6は図5に示す半導体装置の電荷転送を行うためのクロック制御を示すタイミングチャート図である。

【図7】図7(a)は本発明の第3実施形態にかかる半導体装置の断面図であり、図7(b)は図7(a)に示す装置のポテンシャルを示す模式図である。

【図8】図8(a)は本発明の第4実施形態にかかる半導体装置の断面図であり、図8(b)は図8(a)に示す装置のポテンシャルを示す模式図である。

す装置のポテンシャルを示す模式図である。

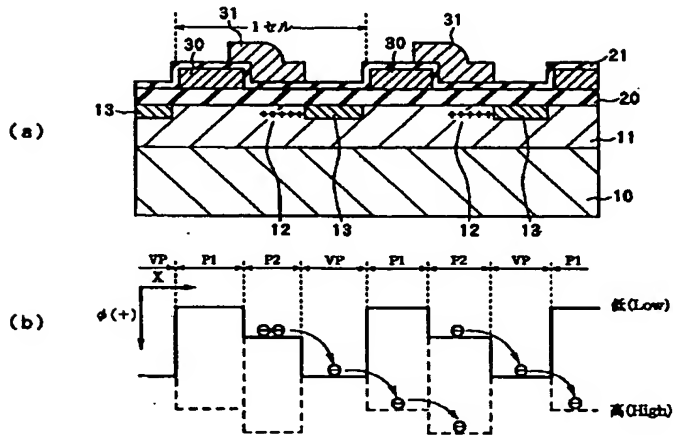
【図9】図9(a)は従来例の半導体装置の断面図であり、図9(b)は図9(a)に示す装置のポテンシャルを示す模式図である。

【符号の説明】

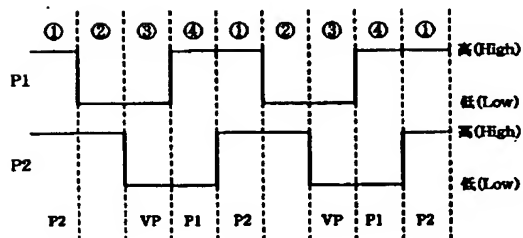
10…半導体基板、11…チャンネル形成領域、12、1\*

\*4、15…チャンネル形成領域よりも高濃度に不純物を含む領域、13…反転層、20…ゲート絶縁膜、20'…ゲート絶縁膜の厚膜部、21…層間絶縁膜、30…第1ゲート電極、31…第2ゲート電極、32…ゲート電極。

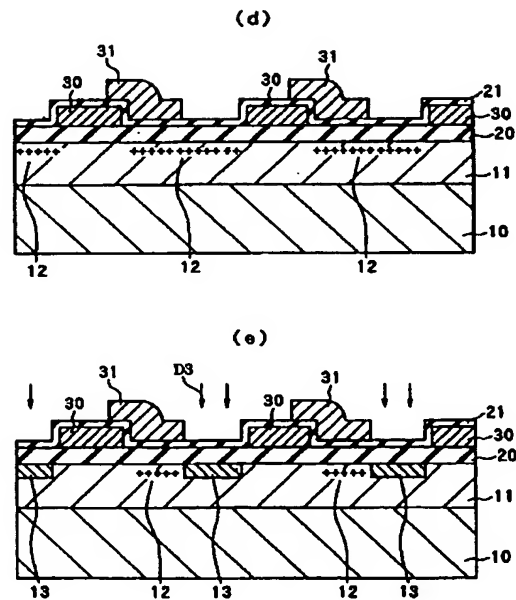
【図1】



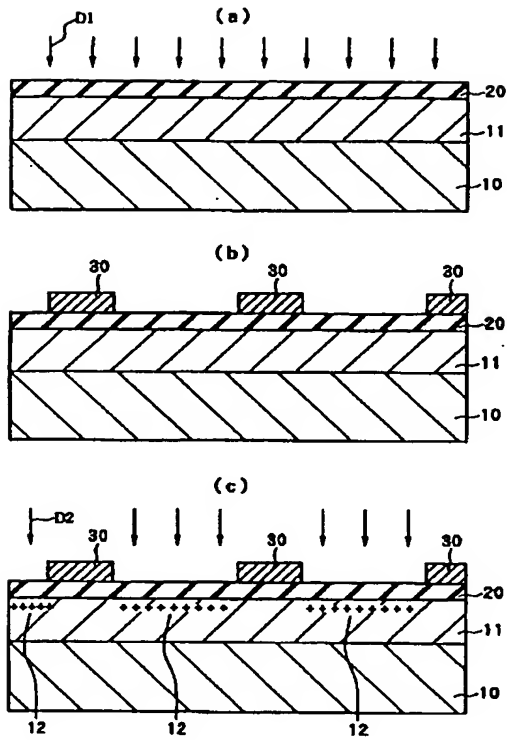
【図2】



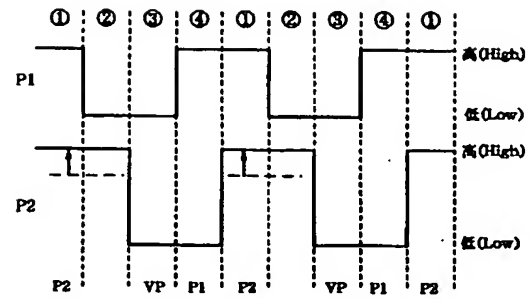
【図4】



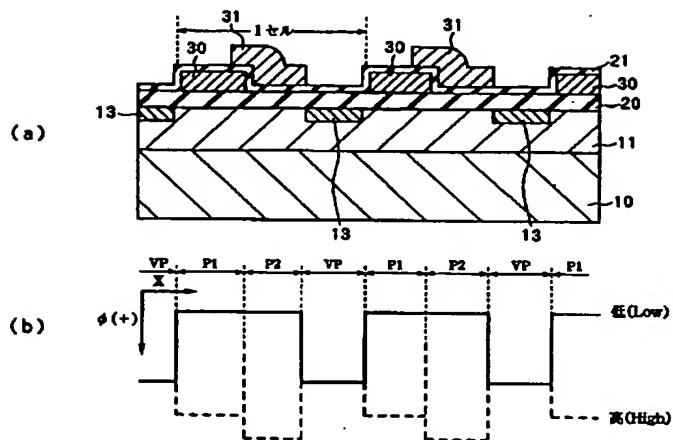
【図3】



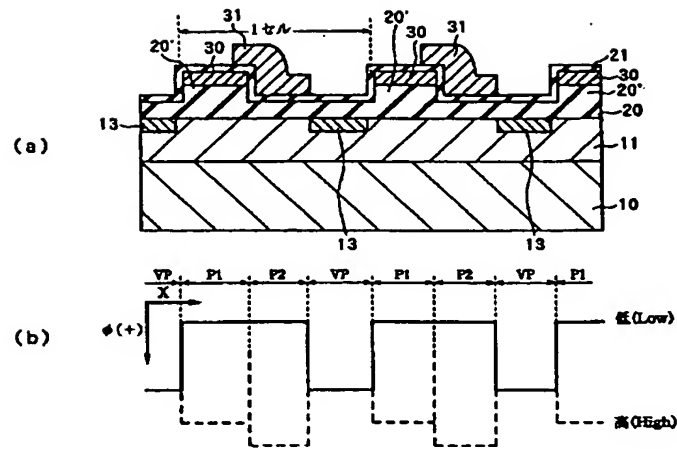
【図6】



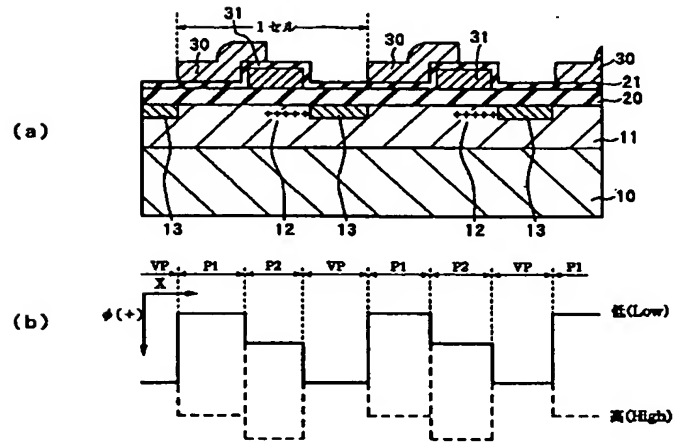
【図5】



【図7】



【図8】



【図9】

